

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-74229

⑤ Int. Cl.³

G 06 F 9/46

識別記号

3 1 1 F

庁内整理番号

8120-5B

⑬ 公開 平成4年(1992)3月9日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 情報処理装置

⑯ 特 願 平2-187256

⑰ 出 願 平2(1990)7月17日

⑱ 発 明 者 福岡 克 仁 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導
体システム技術センター内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

複数の遅延割り込み要求を、この要求の発生順と共に記憶する遅延割り込み要求記憶手段と、

この要求記憶手段に記憶された前記遅延割り込み要求と前記発生順とに従い、最も古い遅延割り込み要求を選択する選択手段とを具備し、

前記選択手段によって選択された最も古い遅延割り込み要求に対応した割り込み要求を発生することを特徴とする情報処理装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明は、遅延割り込み機能を有した情報処理装置に関する。

(従来の技術)

情報処理装置が行うべき処理の中には、一旦起動されたら中断することなく実行しなければな

らない処理(付加分の処理/以下、処理Pという)が存在する。例えば、ある規定された時間以内に完了しなければならない処理。あるいは、メモリ中の特定領域への読み書きや、特定のI/O装置へのアクセスなど、ある対象Rを操作する処理が考えられる。

処理Pを実行中に、外部割り込みなどにより、別の処理Iを行なう必要が生じることがある。このような場合には、処理Iを即座に実行することができないため、処理Iの実行要求を記憶し、処理Pが完了した時点で処理Iを行うようにしている。すなわち、処理Iの遅延を行っている。

従来より、情報処理装置には処理Iの遅延を行なうため、遅延割り込み機能が備えられている。

第2図は、遅延割り込み機能の概要を説明するための情報処理装置のブロック図である。

情報処理装置21は、メモリ23からプログラムを読みだして、逐次処理を行う命令実行装置25を含んでいる。命令実行装置25が実行する処理の中には、付加分の処理Pが存在する。

命令実行装置25が処理Pの実行中にある条件を検出し、別の処理Iを実行する要求が発生した場合には、処理Iをただちに割り込ませる代わりに、遅延割り込み要求201を遅延割り込み記憶回路27に送出する。遅延割り込み記憶回路27は、この要求を記録する。

遅延割り込み信号発生回路29は、遅延割り込み記憶回路27に記憶された内容に従って、遅延割り込み信号203を送出する。この信号203は、遅延割り込み禁止回路31を経由して命令実行装置25に伝わる。

遅延割り込み禁止回路31は、命令実行装置25の状態レジスタ33の内容が、処理Pであることを示す値Dである間は割り込み信号205を発生せず、同内容が処理Pでないことを示す値Eであると、遅延割り込み信号203に対応する割り込み信号205を命令実行装置25に送出する。

命令実行装置25は、現在実行中の処理が処理Pである場合には、これを示す値Dを状態レジスタ33に保持している。状態レジスタ33の内容

す。)

命令実行装置25は、IMASKと呼ばれる4ビットのレジスタ37を持っており、やはりH'0からH'fまでの数値を一つ記憶している。DI35の内容がIMASK37の内容より小さい場合に、比較器39は、DI35の内容を割り込み信号205として命令実行装置25に送出し、命令実行装置25はこれを受けて割り込み処理をおこなう。

通常、IMASK37は値H'fを記憶し、DI35は値H'fを記憶しているものとする。さらに、命令実行装置25には処理Iを、割り込み信号H'eに対応した割り込み処理として登録しておく。処理Pを実行する前には、命令実行装置25はIMASK37をH'fより小さい値、たとえばH'eに設定する。

処理Pの実行中に、処理Iの実行要求が発生した場合には、ただちに処理Iを実行するのではなく、DI35に値H'eを書き込む。これが遅延割り込み要求201になる。しかしこの時点では

が値Dである間は、遅延割り込み禁止回路31は割り込み信号205を発生しない。命令実行装置25は、処理Pを完了した時点で、状態レジスタ33の内容を処理Pでないことを示す値Eに戻す。この時点で、遅延割り込み禁止回路31は割り込み信号205を発生し、命令実行装置25は、この割り込み信号205に従って現在の処理を中断し、処理Iを割り込ませて実行する。

次に、遅延割り込み機能を有した従来の情報処理装置を説明する。

第3図は、従来の情報処理装置の1つを示すブロック図である。これは、文献「TRONCHI P仕様書Ver0.991(東京大学、1988)」、pp92-95に記載されている方法を実施した例である。

この情報処理装置21には、DI(Delay Interrupt)と呼ばれる4ビットのレジスタ35があり、ここにH'0からH'fまでの数値を一つ記憶することができる。(なお、H'はそれに続く数値が16進数であることを表

DI35の内容はIMASK37の内容より小さいので、比較器39は割り込み信号205を発生しない。

命令実行装置25は、処理を終了した時点で、IMASK37の内容を値H'fに戻す。この時点でDI35の内容はIMASK37の内容より小さくなるので、比較器はDI35の内容H'eを割り込み信号205として命令実行装置25に送出する。この信号205を受けて、命令実行装置25は現在の処理を中断し、割り込み信号H'eに対応した割り込み処理Iを実行する。

この従来の情報処理装置21では、処理Pの実行中には処理Iの実行を行わず、処理Iの実行要求を遅延割り込み要求201として記憶し、処理Pの完了まで遅延させている。

しかしながら、情報処理装置21が記憶できる遅延割り込み要求201は一つだけに限られる。上記の例では、DI35に遅延割り込み要求201として値H'eが記憶されていたが、さらに別の要求を記憶しようとして値H'dをDI35に

記憶させると、前に記憶していた値 $H'e$ が失われる。この結果、処理 I の実行要求が失われてしまう。このように、この情報処理装置 21 では、複数の遅延割り込み要求 201 が記憶できないという問題がある。

次に、もう 1 つの従来の情報処理装置を、第 4 図を参照して説明する。これは、文献「プログラミングとアーキテクチャ (CQ 出版株式会社、1984)」、pp 236-237 に記載されている内容を実施した例である。

この情報処理装置 21 には、SISR (Software Interrupt Summary Register) と呼ばれるレジスタ 41 がある。このレジスタ 41 には 15 個のビットがあり、それぞれビット $H'0$ からビット $H'f$ までのビット番号がつけられている。

命令実行装置 25 は、IMASK37 と呼ばれる 4 ビットのレジスタを持っており、ここには $H'0$ から $H'f$ までの数値を一つ記憶している。

プライオリティエンコーダ 43 は、SISR4

1 のビットのうち、値 1 が格納されているビットの中で最もビット番号が小さいビット番号を出力する。

比較器 39 は、このビット番号と IMASK37 の値を比較し、前記ビット番号が IMASK37 の内容より大きい場合に、前記のビット番号を割り込み信号 205 として命令実行装置 25 に送出する。命令実行装置 25 は、この割り込み信号 205 を受けて割り込み処理をおこなう。

IMASK37 は、通常 $H'0$ を記憶し、SISR41 は通常、全てのビットが 0 であるものとする。さらに、命令実行装置 25 には、処理 I を割り込み信号 $H'8$ に対応した割り込み処理として登録しておく。処理 P を実行する前には、命令実行装置 25 は、IMASK37 を $H'8$ より大きい値、例えば $H'f$ に設定する。

処理 P の実行中に、別の処理 J の実行要求が発生した場合には、ただちに処理 I を実行するのではなく、SISR41 の第 $H'8$ 番ビットに 1 を書き込む。これが遅延割り込み要求 201 になる。

しかし、この時点ではプライオリティエンコーダ 43 の出力 203 は $H'8$ であり、IMASK37 の内容より大きくないので、比較器 39 は割り込み信号 205 を発生しない。

命令実行装置 25 は、処理 P を終了した時点で、IMASK37 を $H'0$ に戻す。この時点で比較器 39 の出力は IMASK37 の内容より大きくなるので、比較器 39 はプライオリティエンコーダ 43 の出力 $H'8$ を割り込み信号 205 として命令実行装置 25 に送出する。この信号 205 を受けて、命令実行装置 25 は割り込み信号 $H'8$ に対応した割り込み処理 I を実行する。

この従来の情報処理装置 21 では、実行要求を 15 個まで記憶できる。上記の例では、処理 I の実行要求として SISR41 の第 $H'8$ 番ビットを利用してしたが、仮にさらに別の処理 J の実行要求を記憶しようとする場合には、例えば処理 J を割り込み信号 $H'9$ に対応した割り込み処理として予め情報処理装置に登録しておき、遅延割り込み要求 201 の際には SISR41 の第 $H'9$

番ビット値 1 を書き込めばよい。これにより、IMASK37 の内容が $H'9$ より小さくなった時点で SISR41 の第 $H'9$ 番ビットに対応した割り込みが発生して処理 J が実行され、さらに IMASK37 の内容が $H'8$ より小さくなった時点で SISR41 の第 $H'8$ 番ビットに対応した割り込みが発生して処理 I が実行される。

しかしながら、この情報処理装置 21 では、遅延割り込み要求 201 は、要求の発生順序に関わらず、ビット番号の小さい方から順に処理される。また、SISR41 の各ビットに対応する遅延割り込み要求 201 は、それぞれ 1 回ずつしか記憶することはできない。仮に処理 I に対して 2 回の要求があり、SISR41 の第 $H'8$ 番ビットに値 1 を 2 回書き込んでも意味がない。

(発明が解決しようとする課題)

以上のように、従来の 1 つの情報処理装置では、単一の遅延割り込み要求を記憶し、遅延することが可能であるが、遅延割り込み要求を複数記憶することができない問題があった。また、もう 1 つ

の情報処理装置では、複数の遅延割り込み要求を記憶することが可能であるが、遅延割り込み要求が発生した順序を記憶することができない。また、同一の遅延割り込み要求を複数記憶することができないという問題があった。

そこでこの発明は、このような従来の事情を鑑みてなされたものであり、その目的とするところは、複数の遅延割り込み要求を記憶し、要求の順序に従って割り込みを発生することができる情報処理装置を提供することにある。

〔発明の構成〕

（課題を解決するための手段）

上記目的を達成するため、この発明は、複数の遅延割り込み要求を、この要求の発生順と共に記憶する遅延割り込み要求記憶手段と、この要求記憶手段に記憶された前記遅延割り込み要求と前記発生順とに従い、最も古い遅延割り込み要求を選択する選択手段とを具備し、前記選択手段によって選択された最も古い遅延割り込み要求に対応した割り込み要求を発生するように構成されている。

この命令実行装置3は、外部割り込みによって起動されるプログラムである外部割り込みハンドラE1を1種類定義することができる。

また、命令実行装置3は、ソフトウェア割り込みによって起動されるプログラムであるソフトウェア割り込みハンドラS1を1種類定義することができる。命令実行装置3はTRAP命令を持っており、この命令を実行するとソフトウェア割り込みを引き起こす。

さらに、命令実行装置3は、遅延割り込みによって起動されるプログラムである遅延割り込みハンドラI1、I2、I3を3種類定義することができる。

命令実行装置3には、1ビットのレジスタDMASK7が備えられている。

DMASK7は、H'0あるいはH'1のうちどちらかの数値を記憶するものである。H'0が記憶されているときは、遅延割り込み許可状態を表し、H'1が記憶されているときは、遅延割り込み禁止状態を表す。

る。

（作用）

上記構成により、この発明は、情報処理装置に、遅延割り込み要求を記憶する遅延割り込み記憶装置を設ける。この記憶装置は、複数の遅延割り込み要求をその発生順序と共に記憶する。遅延割り込み記憶装置の内容は、その記憶順序に従って古い順に読み出され、割り込み信号として出力されるようにしている。

（実施例）

以下、図面を参照してこの発明の情報処理装置の実施例を説明する。

第1実施例

第1図は、この発明の第1実施例による情報処理装置の構成を示すブロック図である。

この情報処理装置1には、命令実行装置3と遅延割り込み装置5が設けられている。

命令実行装置3は、外部割り込み、ソフトウェア割り込み、および遅延割り込みの3種類の割り込みを処理するものである。

命令実行装置3は、いずれの遅延割り込みハンドラI1、I2、I3を起動する際にも、DMASK7の値をH'1にする。

また、命令実行装置3は、REIT命令を持っており、割り込みハンドラの実行中にこの命令を実行すると、割り込みハンドラ起動以前の状態に復帰し、同時にDMASK7の値も割り込みハンドラ起動以前の状態に復帰して、割り込みハンドラ起動以前の処理を続行する。

遅延割り込みハンドラI1を実行する必要がある場合には、命令実行装置3は、遅延割り込み要求信号101をH'1にして遅延割り込み装置5に送出する。同様に遅延割り込みハンドラI2を実行する必要がある場合には遅延割り込み要求信号101をH'2にし、I3を実行する必要がある場合にはH'3にして送出する。

遅延割り込み装置5には、要求記憶装置9が備えられている。この要求記憶装置9は、8本の記憶要素11から構成されている。さらに、遅延割り込み装置5には、先頭ポイント13、あきポイン

タ15が設けられている。これらのポインタ13、15は、各々3ビットで構成されており、H'0からH'7までの数値を記憶するものであり、初期値はH'0となっている。

このように、第1実施例による情報処理装置は構成されており、次にこの情報処理装置の動作を説明する。

遅延割り込み装置5は、遅延割り込み要求信号101を受信すると、要求記憶装置9中の記憶要素11のなかで、あきポインタ15が示す番号の要素に、遅延割り込み要求信号101の値を書き込み、あきポインタ15の値にH'1を加える。もし、あきポインタ15の値がH'7であった場合には、H'1を加えることでH'0に戻される。

遅延割り込み装置5は、先頭ポインタ13の値とあきポインタ15の値が異なる場合には、少なくとも1つの遅延割り込み要求を記憶しているので、要求記憶装置9中の記憶要素11の中で、先頭ポインタ13が示している番号の要素の内容を、命令実行装置3に対して遅延割り込み信号103

として送出する。命令実行装置3は、DMASK7の値がH'1であれば遅延割り込み信号103を無視して実行を続けるが、H'0であれば受け付け、遅延割り込み信号103の値に対応した遅延割り込みハンドラ11、12あるいは13を起動する。

遅延割り込み装置5は、命令実行装置3が遅延割り込み信号103を受け付けると、先頭ポインタ13の内容にH'1を加える。もし、先頭ポインタ13の値がH'7であった場合には、H'1を加えることでH'0に戻される。

DMASK7の値は、通常H'0になっている。従って、命令実行装置3が遅延割り込み要求信号101としてH'1を送出したときにDMASK7の値がH'0であれば、遅延割り込み装置5は、遅延割り込み信号103としてH'1を送出する。そして、命令実行装置3は、即座に遅延割り込みハンドラ11を起動する。

しかしながら、命令実行装置3が既に割り込みを受け付けて、割り込みハンドラを実行している

場合には、DMASK7がH'1になっている。このため、遅延割り込み信号103は無視される。情報処理装置1がREIT命令を実行してDMASK7がH'0に戻ると、情報処理装置1は遅延割り込み信号103を受け付ける。このように、命令実行装置3が割り込みハンドラを実行している間は、遅延割り込み要求は遅延される。

また、DMASK7がH'1で、遅延割り込み要求が遅延されている間に、命令実行装置3は、さらに遅延割り込み要求信号101を遅延割り込み装置5に送出してもよい。遅延割り込み装置5は、同様にして遅延割り込み要求を要求記憶装置9に7個まで蓄えることができる。

複数の遅延割り込み要求が、要求記憶装置9にたまっている場合にも、最も先に登録された要求が、遅延割り込み信号103として送出される。これにより、REIT命令でDMASK7がH'0になった瞬間に、最も先に登録された遅延割り込み要求が処理される。その他の要求は、遅延割り込みハンドラの実行が完了し、REIT命令が

実行されるまで遅延される。

このように、第1実施例においては、7個までの遅延割り込み要求を遅延割り込み装置5に記憶し、命令実行装置3が割り込みハンドラの実行中である間遅延し、割り込みハンドラの実行が完了した時点で一つずつ処理させることが可能である。

第2実施例

第1実施例では、DMASK7を1ビット構成とした。第2実施例では、DMASK7を複数ビットの構成にした。

この情報処理装置1の命令実行装置3は、遅延割り込みハンドラ11の実行中には、DMASK7の値がH'1、12の実行中にはH'2、13の実行中にはH'3になるように動作する。

命令実行装置3が発生する遅延割り込み要求は、第1実施例と同様に遅延割り込み装置5に蓄えられる。遅延割り込み装置5は、遅延割り込み信号103を発生するが、命令実行装置3は、遅延割り込み信号103がDMASK7の値より小さい場合にのみ、遅延割り込み信号103を受け付け

る。

例えば、命令実行装置3が遅延割り込み信号103としてH'3を受け付け、遅延割り込みハンドラ13を起動したとすると、この時点でD M A S K 7の値はH'3になる。遅延割り込み装置5に次の要求H'2が存在した場合には、遅延割り込み装置5は遅延割り込み信号103としてH'2を発生する。しかし、この値はD M A S K 7の値より小さいので、命令実行装置3は遅延割り込み信号103としてH'2を受け付け、遅延割り込みハンドラ12を起動する。この結果、先に起動された遅延割り込みハンドラ13は、12が完了してR E I T命令が実行された後に実行されることになる。

従って、第2実施例の情報処理装置1では、遅延割り込みハンドラ13の実行中にも12が実行されることがあるが、12の実行中には13は起動されずに遅延される。

このように、第2実施例では、遅延割り込みハンドラに優先順位をつけることが可能である。

第1図はこの発明の情報処理装置の構成を示すブロック図、第2図乃至第4図は従来の情報処理装置の構成を示すブロック図である。

- 1 … 情報処理装置
- 3 … 命令実行装置
- 5 … 遅延割り込み装置
- 7 … D M A S K レジスタ
- 9 … 要求記憶装置
- 11 … 記憶要素
- 13 … 先頭ポインタ
- 15 … あきポインタ
- 23 … メモリ

第3実施例

第3実施例では、要求記憶装置9の一部として、メモリを使用した。

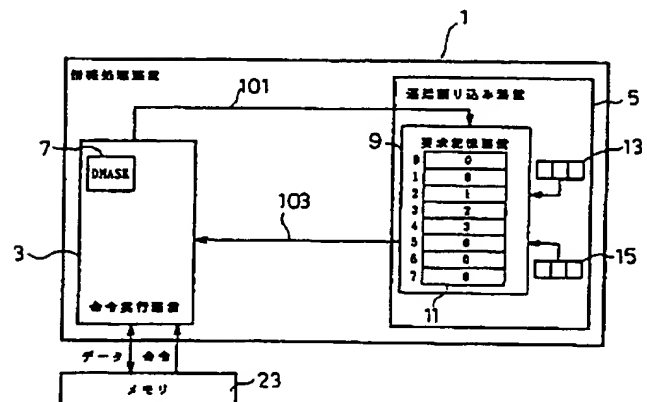
このメモリ中に論理的なリングバッファを設けるか、あるいはメモリ中にキュー構造の記憶領域を設ける。遅延割り込み装置5が遅延割り込み要求順序とともに記憶できれば、メモリのデータ構造は問わない。

このようなメモリを使用すると、メモリ中の豊富な記憶領域を使用して遅延割り込み要求を記憶することができる。このため、記憶できる遅延割り込み数を大きくすることが可能となる。

【発明の効果】

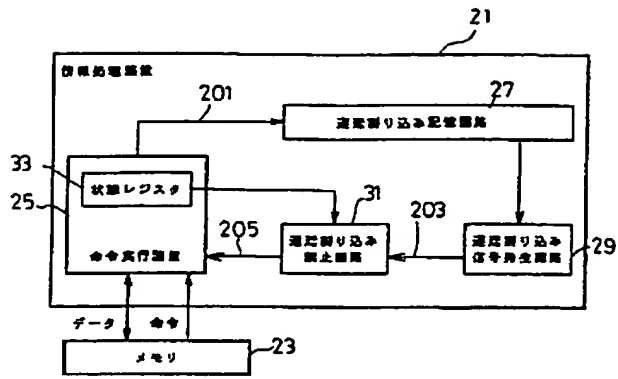
以上、説明してきたように、この発明の情報処理装置によれば、動作中に発生した遅延割り込み要求を、要求の発生順と共に記憶するようにした。これにより、遅延割り込みが許可された時点で、遅延割り込み要求の発生の順序に従い、順次割り込み処理を実行することが可能になった。

4. 図面の簡単な説明

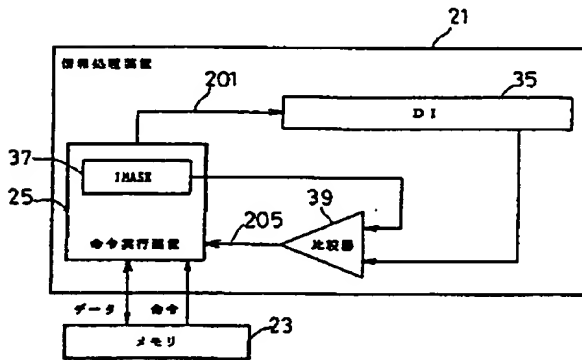


第1図

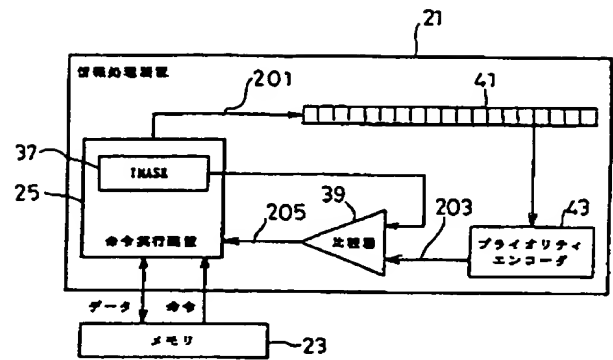
代理人弁護士 三好 秀和



第 2 図



第 3 図



第 4 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.